

Ad

63-80538

Apr. 11, 1988

THIN FILM FORMATION

INVENTOR: KATSUYUKI MACHIDA, et al. (2)  
ASSIGNEE: NIPPON TELEGR & TELEPH CORP <NTT>  
APPL NO: 61-223770  
DATE FILED: Sep. 24, 1986  
PATENT ABSTRACTS OF JAPAN  
ABS GRP NO: E649  
ABS VOL NO: Vol. 12, No. 314  
ABS PUB DATE: Aug. 25, 1988  
INT-CL: H01L 21/31; H01L 21/88

ABSTRACT:

PURPOSE: To shorten the period of time required for flattening a thin film and to improve the productivity, by applying a \*\*bias\*\* voltage to a substrate and by sputtering the substrate or producing plasma in the atmosphere of an inert gas having a larger mass than Ar so as to deposit the thin film on the substrate.

CONSTITUTION: A first insulation film 1 is formed on a semiconductor active element and a metallic interconnection pattern 2 is formed on the surface of the insulation film. An \*\*SiO<sub>2</sub>\*\* film 4 is then deposited to cover the first insulation film 1 and the metallic interconnection pattern 2. While the \*\*SiO<sub>2</sub>\*\* film 4 is etched away, further \*\*SiO<sub>2</sub>\*\* is deposited by the \*\*bias\*\* \*\*ECR\*\* deposition or the like to form a \*\*second\*\* insulation film 4' having a flattened surface. In order to remove a part of the step portion 4a of the \*\*SiO<sub>2</sub>\*\* film 4 on the metallic interconnection pattern 2 while depositing the \*\*SiO<sub>2</sub>\*\* film 4 so as to provide a continuous and flat surface, conditions are set such that a dimension corresponding to about a half of the width W of the interconnection pattern is spluttered and etched. Particularly by using Xe or Kr other than SiH<sub>4</sub> and O<sub>2</sub>, the productivity of the flattening technique using application of \*\*bias\*\* voltages can be doubled in comparison with conventional techniques.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-80538

⑫ Int. Cl.

H 01 L 21/31  
21/88

識別記号

庁内整理番号

6708-5F  
K-6708-5F

⑬ 公開 昭和63年(1988)4月11日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 薄膜形成法

⑮ 特 願 昭61-223770

⑯ 出 願 昭61(1986)9月24日

⑰ 発 明 者 町 田 克 之 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社  
厚木電気通信研究所内  
⑰ 発 明 者 橋 本 千 里 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社  
厚木電気通信研究所内  
⑰ 発 明 者 及 川 秀 男 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社  
厚木電気通信研究所内  
⑱ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号  
⑲ 代 理 人 弁理士 山川 政樹 外1名

明 細 書

1. 発明の名称

薄膜形成法

2. 特許請求の範囲

- (1) スパッタリングまたはプラズマを用いた薄膜形成法において、基板にバイアス電圧を印加し、Arよりも質量の重い不活性ガス雰囲気中で薄膜を堆積することを特徴とした薄膜形成法。
- (2) 前記不活性ガスをXe または Kr としたことを特徴とする特許請求の範囲第1項記載の薄膜形成法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は高密度集積回路の薄膜形成に適用される薄膜形成法に関するものである。

(従来の技術)

近年、集積回路の高密度化に伴い、多層配線技術は不可欠となつてきている。この多層配線技術において、平坦化技術の確立は重要である。これまで、平坦化技術の主眼となる技術としては、バ

イアススパッタ法(C. V. Ting, et al., Study of planarized sputter-deposited SiO<sub>2</sub>, J. Vac. Sci. Technol., 15 (3), May/June, 1105 (1978))及びバイアス ECR 堆積法(K. Machida and H. Oikawa, New planarization technology using Bias-ECR plasma deposition, Extended Abstracts of the 17th Conference on Solid State Devices and Materials, Tokyo, 329 (1985)) の提案がなされている。これら両技術共に試料に堆積される粒子を供給すると共に、同時に基板にバイアスを印加し、スパッタリングを生じさせるものであり、平坦化されるメカニズムは、スパッタリングの効率が平坦面よりも傾斜した面の方が良いことにある。ここで、平坦化の基本工程を第4図(a), (b)により説明する。平坦化工程は、基本的には第4図(a), (b)の2ステップからなる。すなわち、同図(a)は、半導体絶縁素子の表面に形成した第1の絶縁膜1上に金属配線2を形成し、その後、この金属

配線2をスパッタリングから保護するように絶縁膜3を堆積したものである。また、同図(b)は、バイアス値を大きくしスパッタリング効果を高めて堆積を行ないながら平坦化した第2の絶縁膜3'を実現したものである。

〔発明が解決しようとする問題点〕

前述した従来の薄膜形成法は、第2の絶縁膜3'の平坦化処理時間をステップごと $t_1, t_2$ とすると、次の2式が得られる。すなわち、

$$D_{f1} \cdot t_1 + (D_{f2} - E_f) \cdot t_2 = H \quad \dots (1)$$

$$W + 2 \cdot D_{s1} \cdot t_1 + 2 \cdot D_{s2} \cdot t_2 - 2 \cdot E_s \cdot t_2 = 0 \quad \dots (2)$$

ここで、 $D_{f1}$  : ステップ1の堆積速度、 $D_{f2}$  : ステップ2の堆積速度、 $D_{s1}$  : ステップ1の横方向体積速度、 $D_{s2}$  : ステップ2の横方向堆積速度、 $H$  : 平坦化絶縁膜厚、 $W$  : 配線幅、 $E_f$  : ステップ2の平坦面エッチング速度、 $E_s$  : ステップ2の横方向エッチング速度である。平坦化処理時間を決定する(1)を上記(1)、(2)式より求めると、次式となる。

使用する限り、現状の平坦化時間よりも高速化を図れる可能性はない。

本発明は前述した従来の問題に鑑みてなされたもので、その目的は、薄膜の平坦化処理時間を短縮させて生産性を向上させることができる薄膜形成法を提供することにある。

〔問題点を解決するための手段〕

本発明に係わる薄膜形成法は、基板にバイアス電圧を印加し、Arよりも重い質量の不活性ガス中でスパッタもしくはプラズマを発生させて基板上に薄膜を堆積させたものである。

〔作用〕

本発明においては、Arよりも質量の重い不活性ガスを用いることにより、横方向のエッチング速度が大きくなり、平坦化処理時間が短縮される。

〔実施例〕

以下、図面を用いて本発明の実施例を説明する。

第1図(a)、(b)は本発明による薄膜形成法の一実施例を示す工程の断面図であり、前述の図と同一部分には同一符号を付してある。同図において、

$$t_2 = (W + 2 \cdot D_{f1} \cdot t_1 / 3) / 2 \cdot (\beta \cdot E_f - D_{f2}) \quad \dots (3)$$

ここで、 $D_{s1} = D_{f1} / 3$ 、 $\beta = E_s / E_f$  である。

(3)式において、平坦化処理時間 $t_2$ を小さくするには、 $D_{f1}$ 、 $D_{f2}$ 及び $E_f$ を一定とした場合 $\beta$ が大きい場合である。従来から同技術共に、スパッタガスとしてArを使用している。 $\beta$ はスパッタガスのイオン固有の性質によつて決定されるものであり、Arを使用している場合、 $\beta = 2.0$ 程度である。従つて、Arをスパッタガスとして使用する以上 $\beta = 2.0$ 以上の値は期待できない。また、平坦化処理時間を短縮するために、バイアス値を大きくして横方向エッチング速度 $E_s$ を大きくする方法も考えられる。しかしながら、バイアスを大きくすると基板へのダメージが発生しやじいこと及び平坦面エッチング速度 $E_f$ も同時に大きくなるために他の平坦化パラメータが設定しにくくなること等の理由のためにバイアスを大きくできない。以上の理由から、平坦化処理時間を短縮するには $\beta$ を大きくする必要があるが、Arを

また、同図(b)に示すように半導体絶縁体上に第1の絶縁膜1を形成し、次にこの表面に配線金属を堆積し、これをパターンニング加工して配線幅 $W = 3.0 \mu m$ の金属配線2を形成する。次にこれらの第1の絶縁膜1および金属配線2上に $SiO_2$ 膜4を形成する。この場合、第1の絶縁膜1としてCVD法によるシリコン酸化( $SiO_2$ )膜を使用し、配線金属としてスパッタ法によりアルミニウム(Al)を約5000Å堆積した。また、 $SiO_2$ 膜4として $SiO_2$ をバイアススパッタ法またはバイアスECR堆積法等により堆積するが、本実施例ではバイアスECR堆積法により $SiO_2$ を約5000Å堆積した。この堆積条件は、シラン( $SiH_4$ )約20sccm、酸素( $O_2$ )約20sccm、マイクロ波電力約200W、高周波電力約200Wで堆積速度約400Å/分である。次にこのように形成された $SiO_2$ 膜4をバイアススパッタ法またはバイアスECR堆積法により表面平坦化を行なうが、本実施例ではバイアスECR堆積法により、 $SiO_2$ 膜4をエッチングを行ないながら、さらに $SiO_2$ を約

5000 Å 堆積して同図(b)に示すように表面が平均化された第2の絶縁膜4'を形成した。この場合、SiO<sub>2</sub>膜4を約5000 Å 堆積するとともに、同図(a)に示す SiO<sub>2</sub>膜4の金属配線2上段部4aを平均化するために配線幅Wの約1/2の寸法のみをスパッタエッチングできるように設定されている。この条件としては、SiH<sub>4</sub>約10 sccm、O<sub>2</sub>約10 sccm、キセノン(Xe)約20 sccmである。この条件では、堆積速度は約50 Å/分、横方向エッチング速度は約450 Å/分である。また、この条件の時、金属配線2による SiO<sub>2</sub>膜4の絶縁部4aの平均化処理時間は、 $t_1 = 15000 / 450 = 33$ 分で達成される。ここで、SiH<sub>4</sub>とO<sub>2</sub>との全流量を変化し、さらに添加しているスパッタガスとしてアルゴン(Ar)、クリプトン(Kr)、キセノン(Xe)を使つた時の堆積速度及び横方向エッチング速度を第2図(a)、(b)に示す。第2図(a)は、横軸が SiH<sub>4</sub>とO<sub>2</sub>との全流量であり、縦軸は堆積速度である。マイクロ波電力は約200 W、高周波出力は約300 W一定である。

り図式化され、第3図に示される。第3図の横軸は SiH<sub>4</sub>とO<sub>2</sub>との全流量であり、縦軸は $\beta$ である。同図より、Xe、Krの時は $\beta = 3.0$ 付近であるのに対してArの時は2.0程度である。これまで重い分子のスパッタガスを使うほどスパッタ効率が良くなることは知られていた(P. Sigmund, Theory of Sputtering. 1. Sputtering Yield of Amorphous and Polycrystalline Targets, Physical Review, vol. 184, No. 2, 383 (1969))。しかし、平均面に対する横方向のスパッタ効率を示す $\beta$ に関しては、議論がされていないのが現状であった。第3図より、 $\beta$ は、スパッタガスとして重い質量分子を使うほど大きくなることがわかった。さて、本発明の実施例では、Xeを使つた場合の横方向エッチング速度の値から平均化処理時間が33分で実現できた。Arを使用した場合には、実際にどの程度の時間になるのかを見積ると、 $t_1 = 15000 / 250 = 60$ 分である。すなわち、Xeを使うことにより横方向エッチング速度が大きく

図中の○、●はAr約20 sccm、△、▲はKr約20 sccm、□、■はXe約20 sccmである。同図より、バイアスを印加しない場合、SiH<sub>4</sub>とO<sub>2</sub>との全流量が増加するにつれてスパッタガス種とは関係なく堆積速度は増加する。しかし、スパッタガス種の中では、Xe、Ar、Krの順に堆積速度が大きくなっている。一方、バイアスを印加した場合、バイアスを印加しない場合と比較して堆積速度は減少している。この傾向は、どのスパッタガスでも同じ傾向を示す。堆積速度がバイアス印加により減少する理由は、バイアス印加によりスパッタリングが生じたからと考えられる。また、Xe、Ar、Krとそのガスに応じて堆積速度の減少の割合が異なるのは、それぞれのスパッタガスのイオン固有の性質によるものであると考えられる。以上の結果、SiH<sub>4</sub>とO<sub>2</sub>との全流量を変化することにより、堆積速度及び横方向エッチング速度を変化させることがわかった。しかし、実際には、それぞれのスパッタガスに応じた $\beta$ の値を把握する必要がある。 $\beta$ は、第2図(a)、(b)よ

なつた分だけ約2倍のスピードで平均化が実現されることがわかる。さらに $\beta$ の向上により平均化処理時間 $t_1$ がどの程度小さくなるかを調べる。平均化処理時間 $t_1$ は次式で表現される。すなわち、

$$t_1 = (W + 2 \cdot D_{f1} \cdot t_1 / 3) / 2 \cdot (\beta \cdot E_f - D_{f1}) \quad \dots (3)$$

(3)式の中の $\beta$ は、第3図に示される値を参考とす。今、(3)式で $W = 3.0 \mu\text{m}$ 、 $E_f = 250 \text{ Å/分}$ 、 $D_{f1} = 250 \text{ Å/分}$ 、 $D_{f2} = 500 \text{ Å/分}$ 、 $t_1 = 10$ 分と仮定する。この時、 $\beta = 3.0$ の時、 $t_1 = 33.3$ 分、 $\beta = 2.0$ の時、 $t_1 = 66.6$ 分である。この結果、Xeを使つた場合は、Arよりも約2倍のスピードで平均化が達成されることがわかる。すなわち、XeもしくはKrを使うことにより、バイアス印加による平均化技術は、生産性が従来の約2倍となる。

#### 〔発明の効果〕

以上説明したように本発明は、バイアス印加系の平均化技術において、スパッタガスにArより

6 質量の重い不活性ガスを使うことにより、スパッタ効率が上がり、平坦化の処理時間が短縮され、生産性が向上できるという極めて優れた効果が得られる。

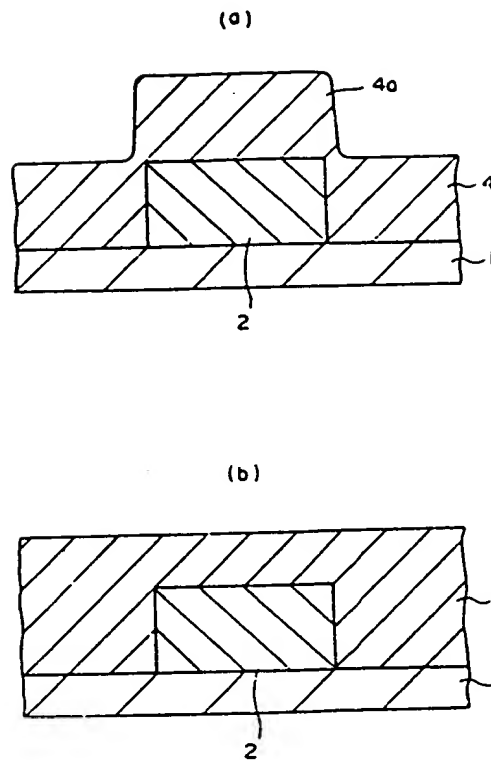
#### 4. 図面の簡単な説明

第1図(a)、(b)は本発明による薄膜形成法の一実施例を示す工程の断面図、第2図(a)は堆積速度のガス流量依存性を示す図、第2図(b)は横方向エッチング速度のガス流量依存性を示す図、第3図は $\beta$ のガス流量依存性を示す図、第4図(a)、(b)は従来の薄膜形成法を示す断面図である。

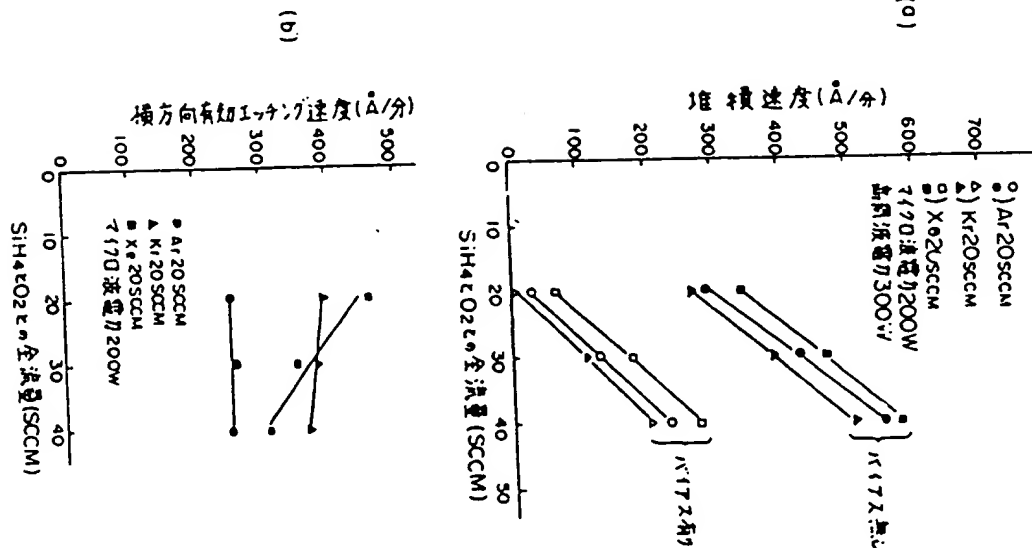
1.....第1の絶縁膜、2.....金属配線、  
4..... $\text{SiO}_2$ 膜、4a.....皮膜部、4'  
.....第2の絶縁膜。

特許出願人 日本電信電話株式会社  
代理人 山川 政 樹(ほか1名)

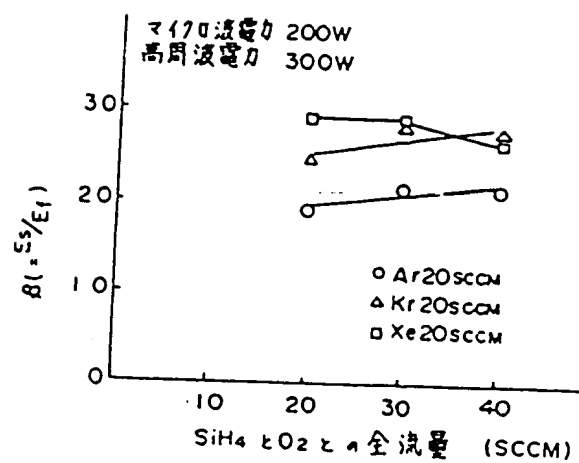
第1図



第2図



第3図



第4図

